

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

THIS PAGE BLANK (USP10)

⑯ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑯ Patentschrift
⑯ DE 31 49 678 C 2

D2
⑯ Int. Cl. 3:
G 06 F 13/06
G 11 C 9/00
H 04 L 25/50

⑯ Aktenzeichen: P 31 49 678.4-53
⑯ Anmeldetag: 15. 12. 81
⑯ Offenlegungstag: 23. 5. 83
⑯ Veröffentlichungstag der Patenterteilung: 23. 2. 84

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

⑯ Patentinhaber:

Siemens AG, 1000 Berlin und 8000 München, DE

⑯ Erfinder:

Klan, Friedrich, Dipl. Phys. Dr., 8021 Taufkirchen, DE

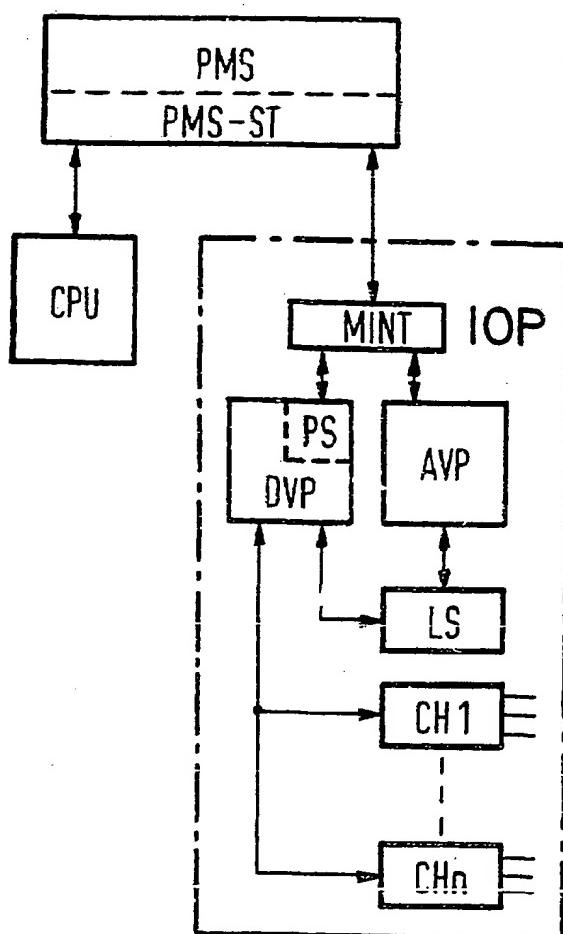
⑯ Im Prüfungsverfahren entgegengehaltene Druckschriften nach § 44 PatG:

DE-PS 26 10 428
DE-AS 28 45 218

⑯ Anordnung zur Zwischenspeicherung von zwischen zwei Funktionseinheiten in beiden Richtungen zu übertragenden Informationen in einem Pufferspeicher

DE 31 49 678 C 2

FIG1



Patentansprüche:

1. Anordnung zur Zwischenspeicherung von zwischen zwei Funktionseinheiten (*PMS* und *CHn*) in beiden Richtungen zu übertragenden Informationen in einem Pufferspeicher (*PS*) in Verbindung mit einer Übertragungssteuerung (*DVP*), insbesondere für Ein-Ausgabewerke (*IOP*) in Datenverarbeitungssystemen zur Übertragung von Informationen zwischen dem Arbeitsspeicher (*PMS*) und angeschlossenen peripheren Einheiten (*CHn*), dadurch gekennzeichnet, daß alle Aufträge zur Durchführung eines Informationsaustausches von der Übertragungssteuerung (*DVP*) an den Pufferspeicher vergeben werden, daß jeweils die Daten für einen vollständigen Auftrag einschließlich der erforderlichen Steuerparameter zwischengespeichert werden, daß zur Zwischenspeicherung der Aufträge mehrere, gegeneinander austauschbare Speichereinheiten (z. B. *P0* bis *P3*) als einzelne Pufferspeicher vorgesehen sind und die Speichereinheiten von einer nach dem FIFO-Prinzip arbeitenden Warteschlangensteuerung (*WS-ST*) in der Weise verwaltet werden, daß bis zur Belegung sämtlicher Speichereinheiten (z. B. *P0* bis *P3*) jeweils eine freie Speichereinheit (z. B. *P0*) der übergeordneten Übertragungssteuerung (*DVP*) für die Entgegennahme von Aufträgen zum Informationsaustausch zugriffsbereit zur Verfügung steht, was durch ein Steuersignal (*BUFAV*) angezeigt wird, wobei die jeweils zugehörige Speichereinheitennummer als interne Adresse (*ACTBFN*) den Zugriffsweg für die belegbare Speichereinheit (*P0*) festlegt, und daß nach Zwischenspeicherung eines Auftrages in einer der Speichereinheiten (z. B. *P0*) der Informationsaustausch mit der einen Funktionseinheit (*PMS*) unabhängig und mit der anderen Funktionseinheit (*CHn*) abhängig von der Übertragungssteuerung (*DVP*) erfolgt, wobei in beiden Fällen die Durchschaltung der Übertragungswege zwischen Pufferspeicher (*PS*) und der jeweiligen Funktionseinheit (*PMS* oder *CHn*) autonom von der Warteschlangensteuerung (*WS-ST*) gesteuert wird.

2. Anordnung nach Anspruch 1, dadurch gekennzeichnet, daß die Warteschlangensteuerung (*WS-ST*) aus zwei Warteschlangen (*WS-NX* und *WS-LD*) besteht, von denen die erste (*WS-NX*) die Nummer aller freien Speichereinheiten und die zweite (*WS-LD*) die Nummern aller mit einem Auftrag bereits belegten Speichereinheiten nacheinander liefert, daß Einträge in die bzw. Austräge aus den einzelnen Warteschlangen (*WS-NX* und *WS-LD*) abhängig von Steuersignalen (z. B. *ASBF*, *RELBF*, *STAMM*, *DMMINCRDY*) erfolgen, wobei jede aus einer Warteschlange (z. B. *WS-NX*) ausgetragene Speichereinheit (z. B. *P0*) nachfolgend in eine andere Warteschlange (z. B. *WS-LD*) eingetragen wird, und daß bei Belegung der zweiten Warteschlange (*WS-LD*) ein Anforderungssignal (*DMLDREQ*) für den Arbeitsspeicher (*PMS*) mit Bereitstellung der Speichereinheitennummer als Adresse (*LDBFN*) ausgelöst wird.

3. Anordnung nach Anspruch 2, dadurch gekennzeichnet, daß eine dritte Warteschlange (*WS-RY*) die Nummern aller mit Lesedaten aus dem Arbeitsspeicher (*PMS*) geladenen Speichereinheiten (z. B. *P0*) nacheinander liefert und daß bei Belegung die-

ser Warteschlange eine bevorrechtigte Anforderung (*DARDYREQ*) für die Übertragungssteuerung (*DVP*) mit Bereitstellung der Speichernummer als Adresse (*ACTBFN*) zur Weiterleitung der Lesedaten erzeugt wird.

4. Anordnung nach Anspruch 2 und 3, dadurch gekennzeichnet, daß bei Vorliegen eines Schreib- oder Leseauftrages für den Arbeitsspeicher (*PMS*) die durch die erste Warteschlange (*WS-NX*) als v. r. fügbar gekennzeichnete Speichereinheit (z. B. *P0*) aus dieser Warteschlange ausgetragen und nach Bereitstellung aller für diese Übertragung erforderlichen Parameterdaten durch die Übertragungssteuerung (*DVP*) und gegebenenfalls nach dem zusätzlichen Laden der Informationen bei einem Schreibauftrag in die zweite Warteschlange (*WS-LD*) eingetragen wird und daß nach Beendigung des Auftrages durch den Arbeitsspeicher (*PMS*) der Eintrag für die zugehörige Speichereinheit (*P0*) in der zweiten Warteschlange (*WS-LD*) wieder gelöscht wird, wobei bei einem Schreibauftrag die freigewordene Speichereinheit wieder in die erste Warteschlange (*WS-NX*) eingetragen wird, während bei einem Leseauftrag die mit Lesedaten aus dem Arbeitsspeicher geladene Speichereinheit zunächst in die dritte Warteschlange (*WS-RY*) eingetragen wird.

5. Anordnung nach Anspruch 4, dadurch gekennzeichnet, daß bei einem aufgrund einer Anforderung (*DMLDREQ & READ*) durch die zweite Warteschlange (*WS-LD*) ausgeführten Leseauftrag die Speichereinheit (z. B. *P0*) sowohl in die erste (*WS-NX*) als auch in die dritte Warteschlange (*WS-RY*) eingetragen wird, daß aber aufgrund der Bevorrechtigung für die Anforderung (*DARDYREQ*) der dritten Warteschlange (*WS-RY*) die bereits erfolgte Eintragung in die erste Warteschlange (*WS-NX*) ohne Auswirkung bleibt, bis nach Entladung der Speichereinheit (*P0*) diese von der Übertragungssteuerung (*DVP*) aus der dritten Warteschlange (*WS-RY*) ausgetragen und damit wieder freigegeben ist.

6. Anordnung nach Anspruch 5, dadurch gekennzeichnet, daß zur Wiederverwendung einer entladenen Speichereinheit (z. B. *P0*) für einen erneuten Lese- oder Schreibauftrag an den Arbeitsspeicher (*PMS*) die aus der dritten Warteschlange (*WS-RY*) ausgetragene Speichereinheit (*P0*) nachfolgend in die zweite Warteschlange (*WS-LD*) eingetragen und der gleichlautende Eintrag in der ersten Warteschlange (*WS-NX*) wieder gelöscht wird.

7. Anordnung nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet, daß der Informationsaustausch durch den Speichereinheiten (*P0* bis *P3*) individuell zugeordnete Register (*MCR*, *MODR*, *MONR*) unterstützt wird.

8. Anordnung nach einem der Ansprüche 1 bis 7, dadurch gekennzeichnet, daß die Übertragungssteuerung (*DVP*) als Mikroprozessor ausgebildet ist und daß die Bereitstellung der Steuerparameter sowie der Informationen bei einem Schreibauftrag bzw. das Weiterleiten gelesener Daten an die peripheren Einheiten (*CHn*) über das vorhandene Datenleitungssystem (*D-BUS*) des Mikroprozessors erfolgt.

beiden Richtungen zu übertragenden Informationen in einem Pufferspeicher in Verbindung mit einer Übertragungssteuerung, insbesondere für Ein-/Ausgabewerke in Datenverarbeitungssystemen zur Übertragung von Informationen zwischen dem Arbeitsspeicher und angeschlossenen peripheren Einheiten.

Die Verwendung von Pufferspeichern zur Anpassung des unterschiedlichen Realzeitverhaltens oder der unterschiedlich breiten Informationswege von Funktionseinheiten aneinander für den Informationsaustausch, insbesondere für den beidseitig gerichteten Informationsaustausch, ist allgemein geläufig – man siehe z.B. DE-PS 26 10 428 oder DE-AS 28 45 218, MMD in Fig. 2.

Bei den bekannten Lösungen kann über den Pufferspeicher jeweils nur ein Auftrag abgewickelt werden. Außerdem werden im Pufferspeicher immer nur die eigentlichen Daten, die bei der Abwicklung eines Auftrages auszutauschen sind, zwischengespeichert, während die Steuerdaten für die Kennzeichnung und die Durchführung eines Auftrages jedesmal gesondert von der Übertragungssteuerung bereitgestellt werden müssen.

Es ist daher Aufgabe der Erfindung, die Anordnung für die Zwischenpeicherung der zu übertragenden Informationen so zu gestalten, daß die Zusammenarbeit zwischen Übertragungssteuerung und Pufferspeicher und damit auch der Informationsdurchsatz verbessert wird. Diese Aufgabe wird bei einer Anordnung der eingangs genannten Art durch die im Kennzeichen des Patentanspruchs 1 genannten Merkmale gelöst.

Danach werden im Gegensatz zu den bekannten Lösungen mehrere voneinander unabhängige Speichereinheiten als einzelne Pufferspeicher vorgesehen, die jeweils mit einem Auftrag belegt werden können. Da zugleich die Steuerparameter für die jeweiligen Aufträge mit zwischengespeichert werden, können bei der Abwicklung eines Informationsaustausches die einzelnen Steuervorgänge nach Durchschaltung des Übertragungsweges autark und unabhängig von der Übertragungssteuerung abgewickelt werden. Die Übertragungssteuerung braucht also mit der Bereitstellung von Aufträgen nicht jeweils zu warten, bis der vorhergehende Auftrag ausgeführt ist, sondern kann jeden Auftrag sofort absetzen, solange noch eine Pufferspeichererheit zur Verfügung steht. Das ist besonders von Vorteil, wenn die Übertragungssteuerung Bestandteil einer Mikroprozessorsteuerung ist, die zugleich übergeordnete Aufgaben wahrnimmt und die dadurch entlastet wird. Auch können Aufgaben in beiden Richtungen unabhängig voneinander ausgeführt und damit die Leistungsfähigkeit des Puffers erhöht werden.

Es ist zwar allgemein bekannt, in einem gerichteten Übertragungskanal zwei im Wechsel arbeitende Einzelpuffer vorzusehen, die überlappend geladen und entladen werden. Dieses Prinzip ist aber für einen beidseitig gerichteten Informationsaustausch nicht einfach übernehmbar, da die richtige Zuordnung für beide Richtungen sichergestellt werden muß. Die Erfindung benutzt daher zur Bereitstellung und Ansteuerung der Einzelpuffer eine Warteschlangesteuerung. Das hat zunächst den Vorteil, daß unabhängig von der Anzahl der Einzelpuffer eine einheitliche Steuerung vorgesehen werden kann. Zum andern wird auf diese Weise sichergestellt, daß die zeitliche Reihenfolge bei der Ausführung mehrerer Aufträge nach dem FIFO-Prinzip eingehalten wird, und zwar auch dann, wenn es sich um eine beliebige Folge von Schreib- und Leseaufträgen handelt.

Weiterbildungen der Erfindung ergeben sich aus den

Unteransprüchen.

Einzelheiten der Erfindung seien nachfolgend anhand eines in der Zeichnung dargestellten Ausführungsbeispiels näher erläutert. Im einzelnen zeigt

5 Fig. 1 ein Übersichtsschaltbild eines Datenverarbeitungssystems,

Fig. 2 ein Übersichtsschaltbild in Anlehnung an das von Fig. 7 mit Darstellung des Pufferspeichers samt Steuerung,

Fig. 3 ein Prinzipschaltbild der Puffersteuerung nach Fig. 2,

Fig. 4 das Blockschaltbild einer Warteschlange nach Fig. 3,

Fig. 5 ein Flußdiagramm zur Erläuterung der Zusammenarbeit zwischen Puffersteuerung und der Übertragungssteuerung des Datenverarbeitungssystems nach Fig. 1 und

Fig. 6 ein Flußdiagramm zur Erläuterung der Zusammenarbeit zwischen Puffersteuerung und dem Arbeitsspeicher des Datenverarbeitungssystems nach Fig. 1.

Fig. 1 zeigt in Anlehnung an das durch die DE-AS 28 45 218 bekannte Datenverarbeitungssystem den zentralen Arbeitsspeicher PMS, über dessen Schnittstellensteuerung PMS-ST eine zentrale Datenverarbeitungseinrichtung CPU und ein Ein-/Ausgabewerk IOP angeschlossen ist.

Das Ein-/Ausgabewerk IOP besteht aus zwei voneinander unabhängigen Mikroprozessoren, von denen einer als Auftragsverwaltungsprozessor AVP und der andere als Datenübertragungsprozessor DVP arbeitet. Beide Prozessoren sind über eine interne Schnittstellensteuerung MINT mit der Schnittstellensteuerung PMS-ST des Arbeitsspeichers PMS verbunden, so daß beide Prozessoren unabhängig voneinander mit dem Arbeitsspeicher PMS verkehren können.

Beide Prozessoren haben außerdem Zugriff zu einem gemeinsamen Lokalspeicher LS, über den sie miteinander verkehren und gegenseitig Aufträge austauschen. Die vom Ein-/Ausgabewerk IOP zu bedienenden, aber nicht dargestellten peripheren Geräte sind über Kanäle CH₁ bis CH_n an den Datenübertragungsprozessor DVP angeschlossen. Während der Auftragsverwaltungsprozessor AVP die Kommunikation mit der zentralen Verarbeitungseinrichtung CPU steuert und im wesentlichen die mit der Einleitung und mit dem Abschluß eines Ein-/Ausgabetransfers verbundenen Aufgaben ausführt, steuert der Datenübertragungsprozessor DVP im Auftrag des anderen Prozessors AVP den eigentlichen Datenaustausch zwischen dem Arbeitsspeicher PMS als einer angeschlossenen Funktionseinheit und den Kanälen CH₁ bis CH_n als der anderen Funktionseinheit. Zur Unterstützung dieser Aufgaben ist im Datenübertragungsprozessor DVP als der Übertragungssteuerung ein Pufferspeicher PS vorgesehen, der gemäß der Erfindung in besonderer Weise ausgebildet und in den Informationsaustausch einbezogen ist.

Fig. 2 zeigt nähere Einzelheiten dieses Pufferspeichers PS mit seiner Steuerung PS-ST und die Kopplung mit dem die übergeordnete Übertragungssteuerung bildenden Datenübertragungsprozessor DVP sowie mit den angeschlossenen Funktionseinheiten, nämlich dem Arbeitsspeicher PMS über die Schnittstellensteuerung MINT und PMS-ST und mit den Kanälen CH... über das Leitungssystem D-BUS.

65 Die Darstellung der Kopplung ist rein schematischer Art und beschränkt sich auf die Darstellung der Datenwege von und zum Pufferspeicher PS und auf die wesentlichen Steuersignale, die zwischen den einzelnen

Einrichtungen auszutauschen sind, um den Informationsaustausch gemäß der Erfindung durchführen zu können. Insbesondere wurde auf die Darstellung weiterer Einzelheiten, z. B. bezüglich der Adressenauswahlsteuerung für den Pufferspeicher *PS* und bezüglich des Datenübertragungsprozessors *DVP* verzichtet, da sie an sich bekannt und für das prinzipielle Verständnis der Erfindung von untergeordneter Bedeutung sind. So sind der von der Schnittstellensteuerung *PMS-ST* auf Anforderung ausgelöste Abruf von Daten aus dem Pufferspeicher *PS* und die dafür benötigten Einrichtungen allgemein bekannt und ebenso ist der Aufbau und die Arbeitsweise des Datenübertragungsprozessors *DVP* bereits der DE-AS 28 45 218 entnehmbar, wobei in gleicher Weise das Prozessorleitungssystem *D-BUS* für den Austausch der Informationen benutzt wird.

Der Pufferspeicher *PS* gliedert sich in mehrere selbständige und voneinander unabhängige Speichereinheiten *P0* bis *P3* als Einzelpuffer, die getrennt mit Aufrägen zum Informationsaustausch belegt werden können. Jede dieser Speichereinheiten weist eine Speicherbreite von z. B. 8 Byte auf, die der Breite des Datenweges zum Arbeitsspeicher *PMS* entspricht, während für das Leitungssystem *D-BUS* lediglich die halbe Breite, also 4 Byte, vorgesehen ist. Der Datenweg vom Arbeitsspeicher *PMS* wird daher auf jeweils zwei Eingabemultiplexern *E-MUX* aufgespalten, die jeweils 4 Byte breit sind, während die jeweils 4 Byte breiten Ausgänge der Einzelpuffer *P0* bis *P3* mittels Auswahlschalter *AS* paarweise für die Übertragung zum Arbeitsspeicher *PMS* oder einzeln mittels des Ausgabemultiplexers *A-MUX* auf das Leitungssystem *D-BUS* durchgeschaltet werden.

Die jeweils benötigten Steueradressen *ACTBFN* bzw. *LDBFN* für die Einstellung der Multiplexer und Auswahlschalter liefert die Puffersteuerung *PS-ST*. Die Einrichtungen für die Auswahl der einzelnen Speicherabschnitte in den jeweils angesteuerten Einzelpuffern, z. B. *P0*, sind dagegen, wie bereits angedeutet, nicht dargestellt. Für das Verständnis der Erfindung ist es lediglich von Bedeutung, daß diese Auswahleinrichtungen getrennt voneinander und für jeden Einzelpuffer gesondert sowohl von der Schnittstellensteuerung *PMS-ST* als auch vom Datenübertragungsprozessor *DVP* in sich bekannter Weise bedient werden können. Analoges gilt für das zeitgerechte Wirkamschalten der dargestellten Auswahlschalter und Multiplexer für die Informationswege.

Von der für die Verwaltung und Auswahl der Einzelpuffer *P0* bis *P3* des Pufferspeichers *PS* zuständigen Puffersteuerung *PS-ST* sind nur die wichtigsten Baueinheiten schematisch angedeutet. Es sind dies die Warteschlangensteuerung *WS-ST* und die drei Register *MCR*, *MODR* und *MONR*.

Bevor auf die Funktionsweise der in Fig. 2 dargestellten Anordnung eingegangen werden kann, sei zunächst die Puffersteuerung mit der Warteschlangensteuerung *WS-ST* und den genannten Registern anhand von Fig. 3 und Fig. 4 näher beschrieben.

Bei dem gewählten Ausführungsbeispiel nach Fig. 3 sind insgesamt drei Warteschlangen *WS-NX*, *WS-LD* und *WS-RY* vorgesehen. Diese Warteschlangen umfassen jeweils so viele Wartepositionen, wie Einzelpuffer im Pufferspeicher *PS* vorgesehen sind, im vorliegenden Fall also vier Wartepositionen. Der Eintrag eines Einzelpuffers erfolgt über die Eintragsschaltung *E* und der Austrag über die Austragschaltung *A* jeweils anhand der Nummer des betroffenen Einzelpuffers als Adresse in Verbindung mit einem Steuersignal. An den Ausgängen

der einzelnen Warteschlangen wird jeweils der nächste an der Reihe befindliche Einzelpuffer mit seiner Nummer als Adresse zusammen mit einem Steuersignal gekennzeichnet, falls die Warteschlange belegt ist. Alle drei Warteschlangen können gleich aufgebaut sein.

Ein Beispiel für eine solche Warteschlange ist in Fig. 4 näher gezeigt. Die Eintrags- und Austragschaltungen bestehen jeweils aus einem Demultiplexer *E-DMUX* bzw. *A-DMUX* mit einem Adresseneingang für die Auswahlsteuerung und einem Signaleingang, der auf den ausgewählten Ausgang durchgeschaltet wird. Die gleichnamigen Ausgänge beider Demultiplexer *E-DMUX* und *A-DMUX* sind jeweils paarweise mit den Eingängen einer Kippstufe, z. B. R/S-Flipflops *FF*, verbunden, die beim Eintrag gesetzt und beim Austrag wieder zurückgesetzt werden. Die Ausgänge dieser Kippstufen *FF* werdenzyklisch nacheinander mit einer Abtastschaltung, z. B. Auswahlregister *A W-R*, das mit dem Schiebetal *WS-T* fortgeschaltet wird, abgetastet und das durch das jeweilige Prüfgatter der UND-Schaltungen *UND 2* ermittelte Ergebnis über eine ODER-Schaltung *ODER* an einen gemeinsamen Steuerausgang weitergeleitet. Ist eine der überprüften Kippstufen *FF* gesetzt, so wird das zugehörige Prüfgatter bei der Abtastung durchlässig und erzeugt am Ausgang der ODER-Schaltung *ODER* ein Steuersignal. Dieses sperrt das dem Takteingang des Registers *A W-R* vorgesetzte Gatter *UN 13*, so daß das Register *A W-R* angehalten wird, um die Feststellung des zugehörigen Einzelpuffers zu ermöglichen. Zu diesem Zweck sind die Ausgänge des Registers *A W-R* jeweils mit einem von vier Gattern der Und-Schaltung *UND 1* verbunden, die durch das Steuersignal am Ausgang der ODER-Schaltung *ODER* gleichzeitig angesteuert werden. Das durch das Register *A W-R* markierte Gatter wird daher durchlässig und bestimmt in Form einer »1-aus-n«-Markierung die Nummer des ermittelten Einzelpuffers, die dann durch den Codierer *COD* in eine Binäradresse umgewandelt wird und als solche zusammen mit dem Steuersignal am Ausgang der ODER-Schaltung *ODER* für die Steuerung innerhalb der Puffersteuerung *PS-ST* zur Verfügung steht.

Unterstellt man für die drei Warteschlangen *WS-LD*, *WS-RY* und *WS-NX* gemäß Fig. 3 den gleichen Aufbau, dann gelten in Anlehnung an Fig. 3 für die einzelnen Eingänge bzw. Ausgänge der einzelnen Warteschlangen die angegebenen Gruppen 1 bis 3 von Signalen. Dabei haben die drei Warteschlangen folgende Bedeutung:

WS-NX:

In diese Warteschlange sind alle Einzelpuffer *P...* des Pufferspeichers *PS* eingetragen, die für die Entgegennahme eines Informationsaustauschauftreffes durch den Datenübertragungsprozessor *DVP* zur Verfügung stehen. Bei unbelegtem Pufferspeicher sind also alle Kippstufen *FF* der Warteschlange gemäß Fig. 4 gesetzt. Die Verfügbarkeit eines Puffers wird dem Datenübertragungsprozessor *DVP* durch das Ausgangssignal *BLFA* angezeigt. Welcher Einzelpuffer dabei verfügbar ist, wird durch die ebenfalls von der Warteschlange gelieferte Adresse *NXBPN* angezeigt. Diese Adresse hat aber wie auch die übrigen Adressen *LDBFN* und *RYBFN* sowie *ACTBFN* nur für die interne Puffersteuerung Bedeutung.

WS-LD:

In diese Warteschlange werden alle Einzelpuffer

P... des Pufferspeichers: *PS* eingetragen, die vom Datenübertragungsprozessor *DVP* für den Verkehr mit dem Arbeitsspeicher *PMS* bereits vorbereitet sind. Bei unbelegtem Pufferspeicher ist keine der Kippstufen *FF* der Warteschlange gemäß Fig. 4 gesetzt. Nach einem Eintrag erscheint jedoch das Anforderungssignal *DMLDREQ* für die Schnittstellensteuerungen *MINT* und *PMS-ST* zusammen mit der zugehörigen Einzelpufferadresse *LDBFN* am Ausgang der Warteschlange.

WS-RY:

In dieser Warteschlange werden alle Einzelpuffer *P...* des Pufferspeichers *PS* eingetragen, die mit Lesedaten aus dem Arbeitsspeicher *PMS* hereingeladen sind. Folglich ist bei unbelegtem Pufferspeicher *PS* ebenfalls keine der Kippstufen *FF* der Warteschlange gemäß Fig. 4 gesetzt. Nach einem Eintrag erscheint jedoch das Ausgangssignal *DARDY*, das als Anforderungssignal *DARDYREQ* für den Datenübertragungsprozessor *DVP* zur Weiterleitung der Lesedaten an den zugehörigen Kanal, z. B. *CHN*, auffordert, zusammen mit der zugehörigen Einzelpufferadresse *RYBFN* am Ausgang dieser Warteschlange.

Einträge in die bzw. Austräge aus den einzelnen Warteschlangen werden einerseits vom Datenübertragungsprozessor *DVP* mit den Befehlssignalen *ASBF*, *STAMM*, *RELBF* und *BACK* und andererseits von der Schnittstellensteuerung *PMS-ST* mit dem Quittungssignal *DMMINCRDY* in Verbindung mit dem Schnittstellenignal *READ* gesteuert. Diese Signale haben folgende Bedeutung:

ASBF:

Mit diesem Befehlssignal des Datenübertragungsprozessors *DVP* wird normalerweise der für eine Belegung verfügbare Einzelpuffer aus der Warteschlange *WS-NX* ausgetragen und die entsprechende Adresse *NXBFN* als aktuelle Adresse *ACTBFN* mit Setzen von *ASSREC* in einem Puffernummernregister *BNF-R* bereitgestellt.

STAMM:

Mit diesem Befehlssignal des Datenübertragungsprozessors *DVP* wird der belegte Einzelpuffer in die Warteschlangen *WS-LD* eingetragen und die im Puffernummernregister *BNF-R* gespeicherte Adresse durch Löschen von *ASSREC* gelöscht, so daß die Adresse des nächsten verfügbaren Einzelpuffers aus der Warteschlange *WS-NX* als aktuelle Adresse *ACTBFN* für die interne Puffersteuerung zur Verfügung steht.

BACK:

Dieses Befehlssignal folgt immer auf eine Anforderung der Warteschlange *WS-RY* mit dem Anforderungssignal *DARDYREQ* an den Datenübertragungsprozessor *DVP*. Es löscht das Signal *DARDYREQ* und stellt mit Setzen von *BACKREC* statt der Adresse *NXBFN* aus der Warteschlange *WS-NX* die Adresse *RYBFN* aus der Warteschlange *WS-RY* als aktuelle Adresse *ACTBN* bereit.

RELBF:

Mit diesem Befehlssignal wird normalerweise nach dem Befehlssignal *BACK* der aufgrund des Anforderungssignals *DARDYREQ* entladene Einzelpuffer aus der Warteschlange *WS-RY* ausgetragen und *BACKREC* gelöscht, so daß die Adresse des nächsten verfügbaren Einzelpuffers aus der War-

teschlange *WS-NX* als aktuelle Adresse *ACTBFN* für die interne Puffersteuerung zur Verfügung steht.

DMMINCRDY:

Dies ist ein von der Schnittstellensteuerung *PMS-ST* kommendes Quittungssignal, das auf das Anforderungssignal *DMLDREQ* der Warteschlange *WS-LD* folgend, die Ausführung des zugehörigen Schreib- oder Leseauftrags durch den Arbeitsspeicher *PMS* anzeigen. Mit diesem Quittungssignal wird bei einem Schreibauftrag der zugehörige Einzelpuffer aus der Warteschlange *WS-LD* ausgetragen und damit das Anforderungssignal *DMLDREQ* gelöscht, wenn kein weiterer Eintrag in dieser Warteschlange vorliegt, sowie in die Warteschlange *WS-NX* eingetragen. Bei einem Leseauftrag, der durch das intern erzeugte Signal *READ* gekennzeichnet wird, erfolgt zusätzlich ein Eintrag in die Warteschlange *WS-RY* und die Auslösung des Anforderungssignals *DARDYREQ* an den Datenübertragungsprozessor *DVP*, damit dieser die aus dem Arbeitsspeicher *PMS* gelesenen Daten an den zugehörigen Kanal, z. B. *CHn*, weiterleiten kann.

Entsprechend der Funktion der vorangehend beschriebenen Signale sind in Fig. 3 die drei Warteschlangen *WS-LD*, *WS-RY* und *WS-NX* beschaltet.

Zur Erzeugung der Steuersignale *ASSREC* und *BACKREC* mit den Befehlssignalen *ASBF* bzw. *BACK* dienen Kippstufen, z. B. in Form von R/S-Flipflops *FF1* und *FF2*, die durch die zeitlich nachfolgenden Befehlssignale *STAMM* bzw. *RELBF* wieder zurückgesetzt werden. Eine dritte Kippstufe *FF3* erzeugt das Anforderungssignal *DARDYREQ*, das mit dem Befehlssignal *BACK* wieder gelöscht wird. Mit dem Signal *BACK-REC* wird ein Multiplexer *MUX 1* gesteuert, der entweder die von der Warteschlange *WS-NX* gelieferte Adresse *NXBFN* oder aber die von der Warteschlange *WS-RY* gelieferte Adresse *RYBFN* dem Puffernummernregister *BNF-R* zur Verfügung stellt. Dieses Register *BNF-R* besteht aus einer Torschaltung in Form von UND-Gattern *U2* und aus einem Register aus D-Flipflops *D-FF* und arbeitet in der Weise, daß die am Eingang anstehende Adresse zunächst über die Torschaltung *U2* durchgelassen wird, bis das Befehlssignal *ASBF* eintrifft und folglich mit dem Signal *ASSREC* die Torschaltung *U2* gesperrt und statt dessen die Adresse in das Register *D-FF* übernommen wird, so daß sie weiterhin am Ausgang des Registers *BNF-R* als aktuelle Adresse *ACTBFN* zur Verfügung steht. Auf diese Weise wird verhindert, daß nach dem Austrag aus der Warteschlange *WS-NX* mit dem Befehlssignal *ASBF* die bei einem weiteren verfügbaren Einzelpuffer erscheinende neue Adresse *NXBFN* bereits als aktuelle Adresse wirksam werden kann, bevor mit dem Befehlssignal *STAMM* der Eintrag in die Warteschlange *WS-LD* vollzogen ist, d. h. zwischen den beiden Befehlssignalen *ASBF* und *STAMM* ist ein in Belegungsvorbereitung befindlicher Puffer in keiner der Warteschlangen eingetragen.

Umgekehrt wird bei Quittierung eines vom Arbeitsspeicher *PMS* vollzogenen Leseauftrags — Signal *READ* liegt vor — mit dem Signal *DMMINCRDY* der aus der Warteschlange *WS-LD* ausgetragene Puffer außer in die Warteschlange *WS-RY* — über die UND-Gatter *U1* — wie bei einem quittierten Schreibauftrag auch in die Warteschlange *WS-NX* eingetragen, d. h. ein und derselbe Puffer ist zugleich in

zwei Warteschlangen eingetragen. Infolge des vorsorglichen Eintrags in die Warteschlange *WS-NX* kann, wenn es der einzige Eintrag ist, fälschlicherweise das Signal *BUFAV* ausgelöst werden, obwohl tatsächlich noch kein Puffer zur Verfügung steht. Dieses Signal bleibt jedoch ohne Folgen, wenn durch die Prioritätssteuerung die Anforderung *DARDYREQ* gegenüber dem Signal *BUFAV* bevorrechtigt ist und vor einem eigenen Zugriffswunsch des Datenübertragungsprozessors *DVP* bearbeitet wird. Mit den nachfolgenden 10 Signalen *BACK* und *RELBF* wird daher der Multiplexer *MUX* umgesteuert und damit die richtige Adresse für den Austrag aus der Warteschlange *WS-RY* bereitgestellt, bis nach dem Entladen der zugehörigen Puffereinheit der Austrag tatsächlich erfolgt und der 15 Multiplexer *MUX 1* wieder umgesteuert ist. Erst dann wird das Signal *BUFAV* vom Datenübertragungsprozessor *DVP* zur Kenntnis genommen.

Abgesehen von diesen beiden Ausnahmen wird jedoch jede in eine Warteschlange eingetragene 20 Puffereinheit zugleich aus einer anderen ausgetragen.

Fig. 3 zeigt zusätzlich noch eine Schaltungskombination aus vier UND-Gattern *U3* und zwei Oder-Gattern *O1* und *O2*, wobei jeweils zwei UND-Gatter die Signale *ASBF* und *BACKREC* bzw. *RELBF* und *ASSREC* paarweise in der Weise miteinander verknüpfen und die ODER-Gatter *O1* und *O2* die erhaltenen Ausgangssignale in der Weise bündeln, daß gemäß den nachfolgenden Verknüpfungsfunktionen die Funktionen der Signale *ASBF* und *RELBF* bezüglich der Austräge aus den Warteschlangen *WS-NX* und *WS-RY* vertauscht werden.

BACKREC & ASBF* \Rightarrow Funktion *ASBF

BACKREC & ASBF* \Rightarrow Funktion *RELBF

ASSREC & RELBF* \Rightarrow Funktion *RELBF

ASSREC & RELBF* \Rightarrow Funktion *ASBF

Auf diese Weise ist es möglich, unter Beibehaltung der vorhandenen Befehlssignale einen nach einem Leseauftrag entladenen Puffer sofort wieder mit den vorhandenen Steuerdaten in die Warteschlange *WS-LD* für einen erneuten Schreib- oder Leseauftrag einzutragen. Das Signal *ASBF* bewirkt dann anstelle des Signals *RELBF* den Austrag aus der Warteschlange *WS-RY*, und das Signal *RELBF* bewirkt nachfolgend anstelle des Signals *ASBF* den Austrag aus der Warteschlange *WS-NX*, während als letztes das Signal *STAMM* nach Laden der Daten in den Puffer einen Eintrag in die Warteschlange *WS-LD* vollzieht, ohne daß vorher erst erneut die mit dem Signal *BUFAV* einzuleitende Prozedur vom Datenübertragungsprozessor *DVP* abzuwickeln ist.

Zur Unterstützung der Puffersteuerung *PS-ST* sind drei zusätzliche Register, nämlich *MCR*, *MODR* und *MONR*, vorgesehen, die für jede Puffereinheit des Pufferspeichers *PS* einen individuellen Speicherabschnitt aufweisen und die vor Eintrag eines Puffers in die Warteschlange *WS-LD* anhand der aktuellen Adresse *ACTBFN* mit den zugehörigen Steuerdaten geladen werden. Den genannten Registern sind folgende Funktionen zugewiesen:

MCR:

Dieses Kontrollregister wird über das Leitungssy-

stem *D-BUS* mit der Steuerinformation für Schreiben oder Lesen von 8 Byte, was der Übertragungsbreite für den Arbeitsspeicher *PMS* entspricht, oder von z. B. 32 Byte beim Streamen geladen. Es umfaßt je Puffer einen Speicherbereich von 2 Bit, von denen eines das Schnittstellensignal *READ* und das andere das Schnittstellensignal *MSTREAM* liefert.

MODR:

Dieses Register wird über das Leitungssystem *D-BUS* mit einem Teil der Startadressen für die Entlademikrogramme des Datenübertragungsprozessors *DVP* geladen, so daß nach Vorliegen des von der Warteschlange *WS-RY* ausgelösten Anforderungssignals *DARDYREQ* die im Puffer zwischengespeicherten Lesedaten durch Anspringen der durch die Startadressen gekennzeichneten Entladeprogramme an die gewünschte Kanalsteuerung weitergeleitet werden können.

MONR:

Dieses Register wird direkt mit der Modulnummer der Kanalsteuerung geladen, an die die Lesedaten aus dem Puffer weiterzuleiten sind.

Die Register *MODR* und *MONR* brauchen nur bei einem Leseauftrag geladen zu werden. Die Register können ebenfalls gleich und in einer Weise aufgebaut sein, wie es anhand des Registers *MCR* gezeigt ist. Über einen Demultiplexer *DMUX* werden die entsprechenden Signalleitungen des speisenden Leitungssystems anhand der Adressierung durch die jeweils aktuelle Adresse *ACTBFN* auf eines der vorhandenen Ausgangsleitungsbündel durchgeschaltet und somit im Register pufferbezogen gespeichert. Die Ausgangsleitungsbündel des Registers werden mit einem Multiplexer *MUX 2* einzeln auf ein gemeinsames Ausgangsleitungsbündel aufgeschaltet, so daß jeweils nur die Steuerdaten für den jeweils betroffenen Puffer bereitgestellt werden. Da die Steuerdaten des Registers *MCR* für die Nahtstelle zum Arbeitsspeicher *PMS* bereitgestellt werden müssen, erfolgt dies mit der von der Warteschlange *WS-LD* gelieferten Adresse *LDBFN*. Bei den beiden anderen Registern *MONR* und *MODR* werden die für das Entladen eines Puffers durch den Datenübertragungsprozessor *DVP* erforderlichen Steuerdaten mit der von der Warteschlange *WS-RY* gelieferten Adresse *RYBFN* freigegeben.

Zurückkehrend zu Fig. 2 wird nachfolgend in Verbindung mit den in Fig. 5 und Fig. 6 gezeigten Flußdiagrammen der Arbeitsablauf für einen Informationsaustausch in seiner Gesamtheit beschrieben.

Obwohl der Pufferspeicher *PS* als Bindeglied zwischen dem Arbeitsspeicher *PMS* und dem Datenübertragungsprozessor *DVP* in mehrere selbständige Einzelpuffer, z. B. *P0* bis *P3*, unterteilt ist, arbeitet die Anordnung in der Weise, als ob für den Datenübertragungsprozessor *DVP* als alleinigem Auftraggeber nur ein einziger Puffer als Pufferspeicher zur Verfügung steht. Ob der Puffer frei ist, erkennt der Datenübertragungsprozessor *DVP* an dem testbaren Signal *BUFAV*. Sämtliche Aufträge werden in der Reihenfolge ausgeführt, in der sie erteilt werden. Dabei erfolgt der Informationsaustausch zwischen dem Pufferspeicher *PS* und dem Arbeitsspeicher *PMS* nach Erteilung eines Auftrages unabhängig vom Datenübertragungsprozessor *DVP* und vom Leitungssystem *D-BUS*. Der Datenübertragungsprozessor *DVP* kann sich daher zwischenzeitlich anderen Aufgaben zuwenden, insbe-

sondere kann zwischenzeitlich mit den ebenfalls an das Leitungssystem D-BUS angeschlossenen Kanälen CH 1 bis CH_n verkehrt und es können für neue Aufträge Schreibdaten in einem verfügbaren Puffer übertragen werden.

Ob ein Auftrag für den Arbeitsspeicher PMS vorliegt, ergibt sich aus dem internen Steuerungsablauf des Datenübertragungsprozessors DVP bei der Bearbeitung von Aufgaben oder aus der Anforderung eines Kanals, z.B. CH_n, indem eine Anforderung auf Speicherverkehr (PMSREQ) ausgelöst wird. Danach ist zu prüfen, ob das Signal BUFA V vorliegt, also ein Puffer für die Entgegennahme des Auftrages verfügbar ist. Ein drittes Prüfsignal für den Datenübertragungsprozessor DVP ergibt sich aus dem Anforderungssignal DARDYREQ der Warteschlangensteuerung WS-ST, das wegen des FIFO-Prinzips und zur Vereinfachung der Warteschlangensteuerung bevorrechtigt zu berücksichtigen ist, da Lesedaten auf die Weiterleitung durch den Datenübertragungsprozessor DVP warten.

Diese drei Prüfkriterien führen zu dem in Fig. 5 dargestellten Flußdiagramm für den Verkehr zwischen dem Datenübertragungsprozessor DVP und dem Pufferspeicher PS mit seiner Steuerung PS-ST.

Liegt weder eine Anforderung DARDYREQ noch PMSREQ vor, so ist der Datenübertragungsprozessor DVP frei für andere Aufgaben. Ein mit der Anforderung PMSREQ angezeigter Auftrag kann dann an den Pufferspeicher PS weitergeleitet werden, wenn ein Puffer verfügbar ist und das Signal 9UFA V vorliegt. Mit dem Befehlssignal ABSF wird dann, wie bereits beschrieben, der verfügbare Puffer belegt und demzufolge aus der Warteschlange WS-NX ausgetragen. Außerdem wird das Signal ASSREC gesetzt, um die zugehörige Adresse als aktuelle Steueradresse ACTBFN für die Ansteuerung des belegten Puffers verfügbar zu machen. Danach werden die zugehörigen Steuerregister der Warteschlangensteuerung WS-ST mit den notwendigen Steuerdaten und der Puffer mit den notwendigen Steuerparametern für das Schreiben oder Lesen und gegebenenfalls den Schreibdaten geladen. Erst wenn dieser Ladevorgang abgeschlossen ist, wird der Datenübertragungsprozessor DVP mit Abgabe des Befehlssignals STAMM wieder frei. Mit diesem Signal wird der geladene Puffer in die Warteschlange WS-LD eingetragen und das Signal ASSREC wieder gelöscht. Für den Datenübertragungsprozessor DVP ist damit die Vergabe des Auftrags abgeschlossen.

Tatsächlich wird der Verkehr mit dem Arbeitsspeicher PMS erst durchgeführt, wenn der in die Warteschlange WS-LD eingetragene Puffer an der Reihe ist, d.h. wenn im Rahmen der Abarbeitung der Warteschlangenaufträge das zugehörige Anforderungssignal DMLDREQ für die Schnittstellensteuerungen MINT und PMS-ST ausgelöst ist. Erst mit diesem Schnittstellenignal erfolgt also der Übergang in den autonomen Verkehr zwischen Pufferspeicher PS und Arbeitsspeicher PMS, auf den sich das Flußdiagramm von Fig. 6 bezieht.

Mit dem Anforderungssignal wird die Schnittstellen- und Arbeitsspeichersteuerung PMS-ST gestartet, entsprechend den Steuerparametern aus dem Pufferspeicher PS der Auftrag ausgeführt und der Vollzug des Auftrages über PMS-RDY mit dem Quittungssignal DMMINCRDY an den Pufferspeicher PS zurückgemeldet.

det. Abhängig von der Art des Speicherauftrages — Lesen oder Schreiben —, was anhand des Schnittstellensignals READ überprüft wird, reagiert die Puffersteuerung PS-ST mit der Warteschlangensteuerung WS-ST in unterschiedlicher Weise. Zunächst wird in jedem Falle der Puffer aus der Warteschlange WS-LD ausgetragen und damit das Anforderungssignal DMLDREQ gelöscht. Außerdem erfolgt ein entsprechender Eintrag in die Warteschlange WS-NX. Handelt es sich um einen Leseauftrag, so wird der Puffer zusätzlich in die Warteschlange WS-RY eingetragen und das Anforderungssignal DARDYREQ für den Datenübertragungsprozessor DVP gesetzt. Damit ist der Arbeitsspeicherzugriff abgeschlossen und es kann ein anderer Auftrag ausgeführt werden, sobald das Anforderungssignal DMLDREQ erneut gesetzt ist.

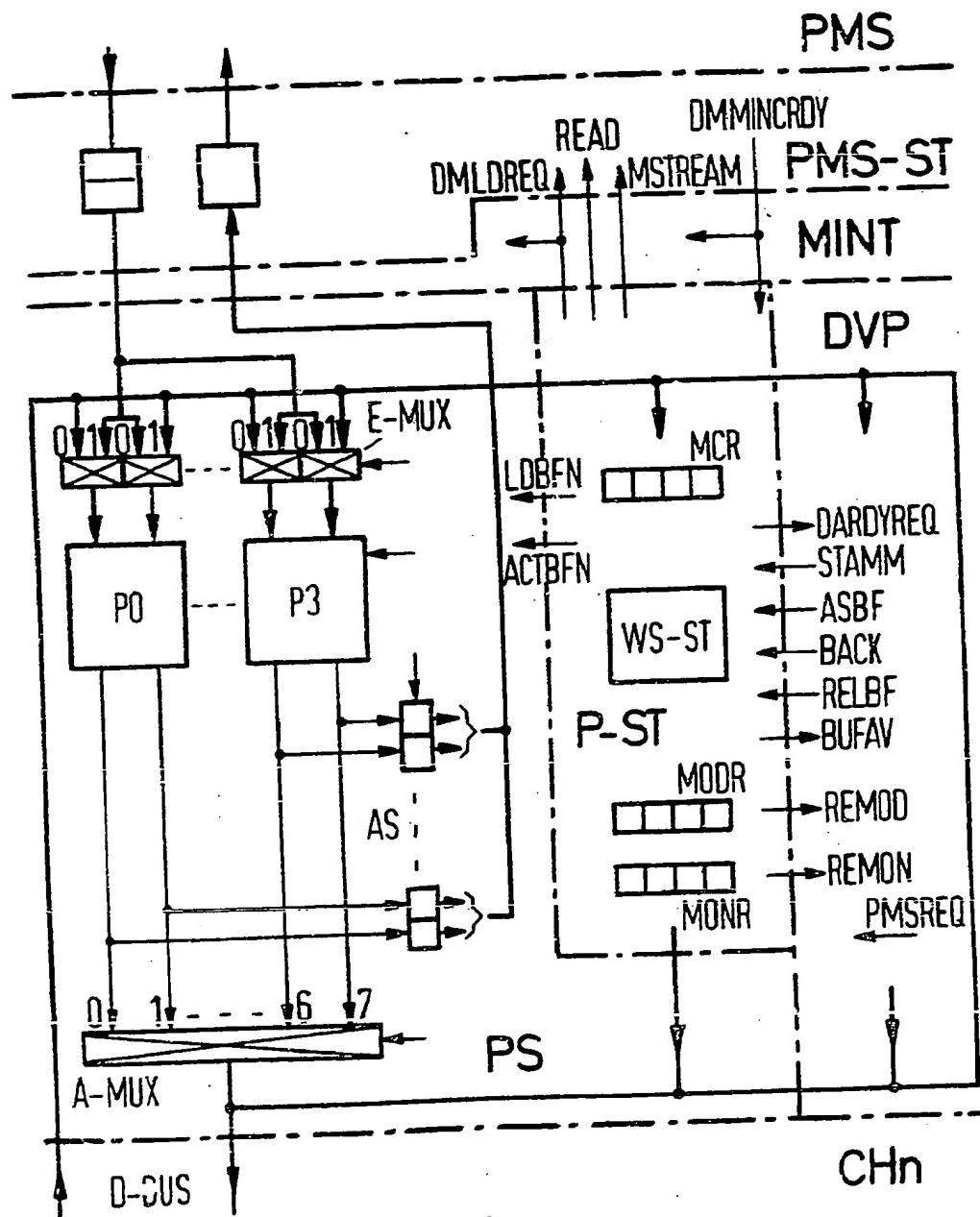
Gemäß Fig. 5 führt das Quittungssignal DARDYREQ zu einer Unterbrechung der Arbeit des Datenübertragungsprozessors DVP. Dieser reagiert mit dem Befehlssignal BACK, wodurch das Signal BACKREC gesetzt und das Anforderungssignal gelöscht wird. Anhand der in den Steuerregistern MONR und MODR durch die Adresse RYBFN gekennzeichneten Steuerdaten werden die im Puffer zwischengespeicherten Lesedaten vom Datenübertragungsprozessor DVP über das Leitungssystem D-BUS an den vorgegebenen Kanal, z.B. CH_n, weitergeleitet. Auswahladresse für den Pufferspeicher PS ist auch in diesem Fall die aktuelle Adresse ACTBFN, die jedoch der Adresse RYBFN entspricht.

Nach der Entladung des Puffers kann der Datenübertragungsprozessor DVP diesen endgültig freigeben, und zwar mit dem Befehlssignal RELBF, das zum Austrag des entlasteten Puffers aus der Warteschlange WS-RY und zum Löschen des Signals BACKREC führt, wonach der Datenübertragungsprozessor DVP selbst für andere Aufgaben wieder frei ist.

Soll dagegen der Puffer für einen erneuten Zugriff zum Arbeitsspeicher PMS belegt werden — PS-RECYC ist gesetzt —, dann wird anstelle des Befehlssignals RELBF zunächst das Befehlssignal ASBF und dann erst das Befehlssignal RELBF ausgelöst. Infolge des gesetzten Signals BACKREC erfolgt ebenfalls der Austrag des Puffers aus der Warteschlange WS-RY und anschließend infolge des gesetzten Signals ASSREC auch der Austrag aus der Warteschlange WS-NX, so daß danach dieselbe Zustand für die Warteschlangensteuerung WS-ST gegeben ist, wie nach Belegung eines Puffers mit dem Befehlssignal ASBF bei Vorliegen von PMSREQ im Rahmen des normalen Steuerungsablaufes.

Insgesamt führt also die Gliederung des Pufferspeichers mit seiner Puffersteuerung gemäß der Erfindung zu einer äußerst wirkungsvollen Zusammenarbeit zwischen dem zentralen Arbeitsspeicher PMS und dem Ein-/Ausgabewerk IOP des Datenverarbeitungssystems, was durch erhöhte Leistungsfähigkeit und größere Flexibilität gekennzeichnet ist. Letzteres hat z.B. zur Folge, daß auch während des Betriebs einzelne Puffer des Pufferspeichers PS, z.B. bei Verdacht auf fehlerhaftes Arbeiten aus dem Pool an verfügbaren Puffern herausgenommen werden können, indem Einträge in die einzelnen Warteschlangen einfach durch Sperren der zugehörigen Kippstufen FF verhindert werden.

FIG 2



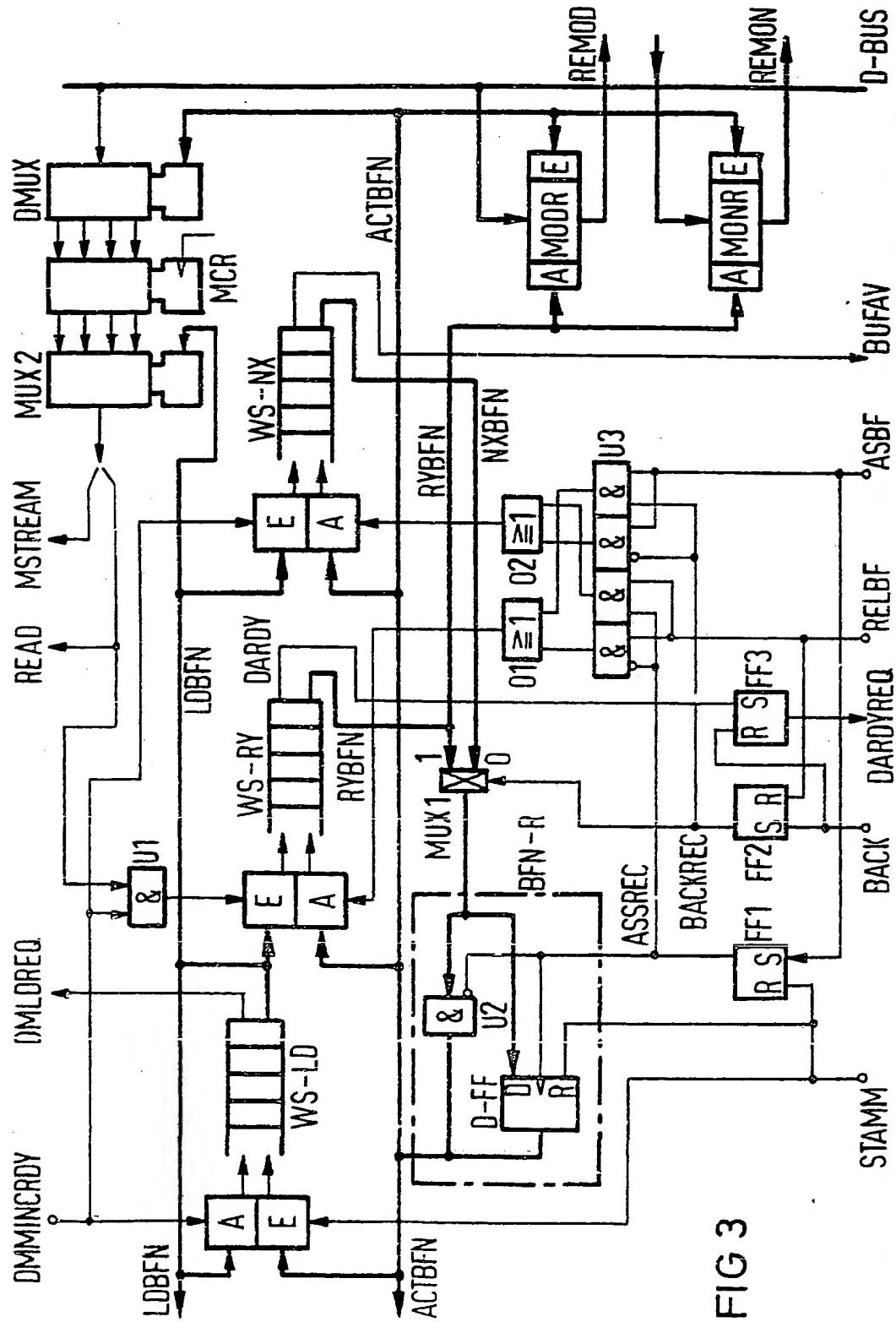
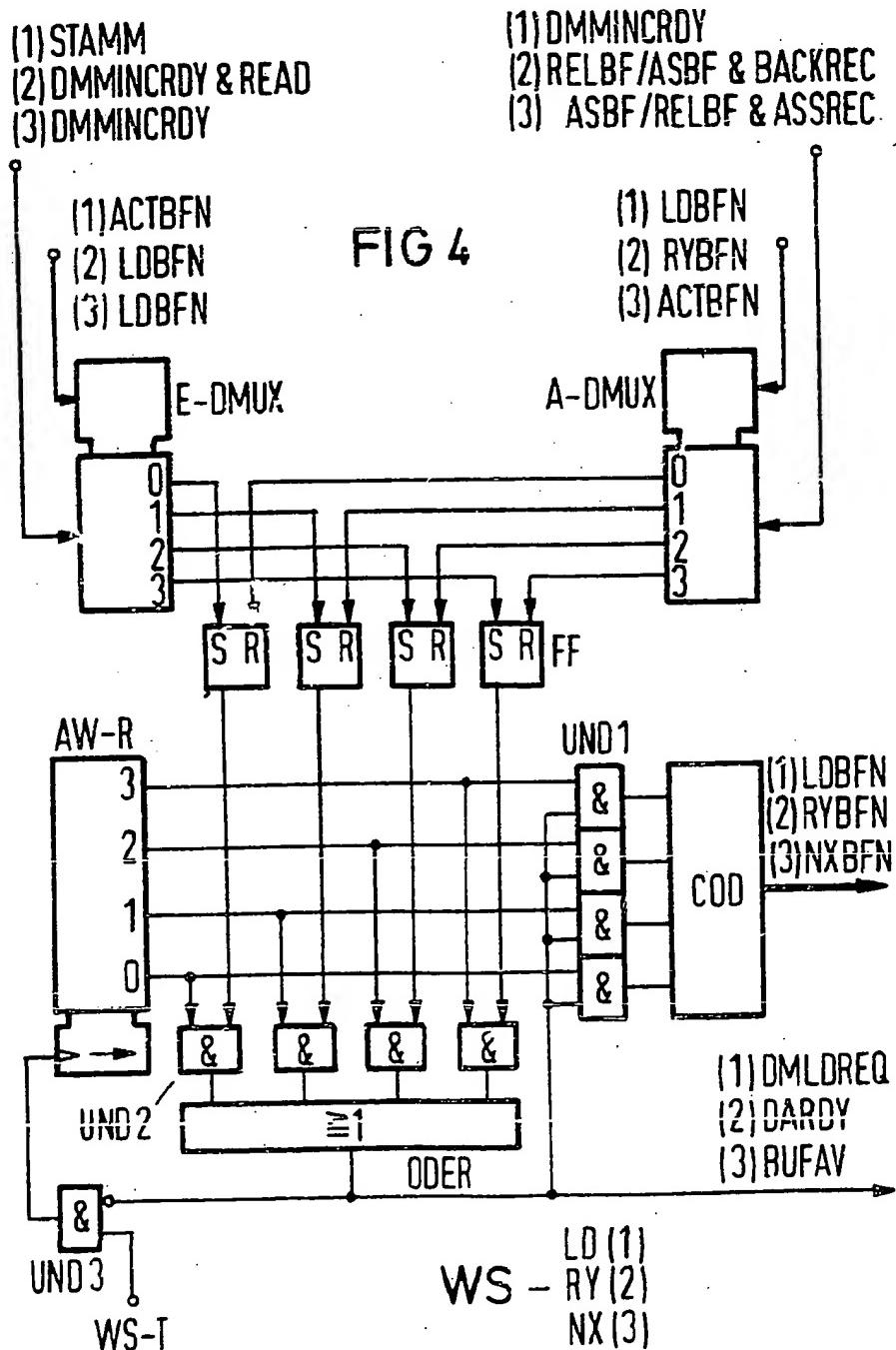


FIG 3



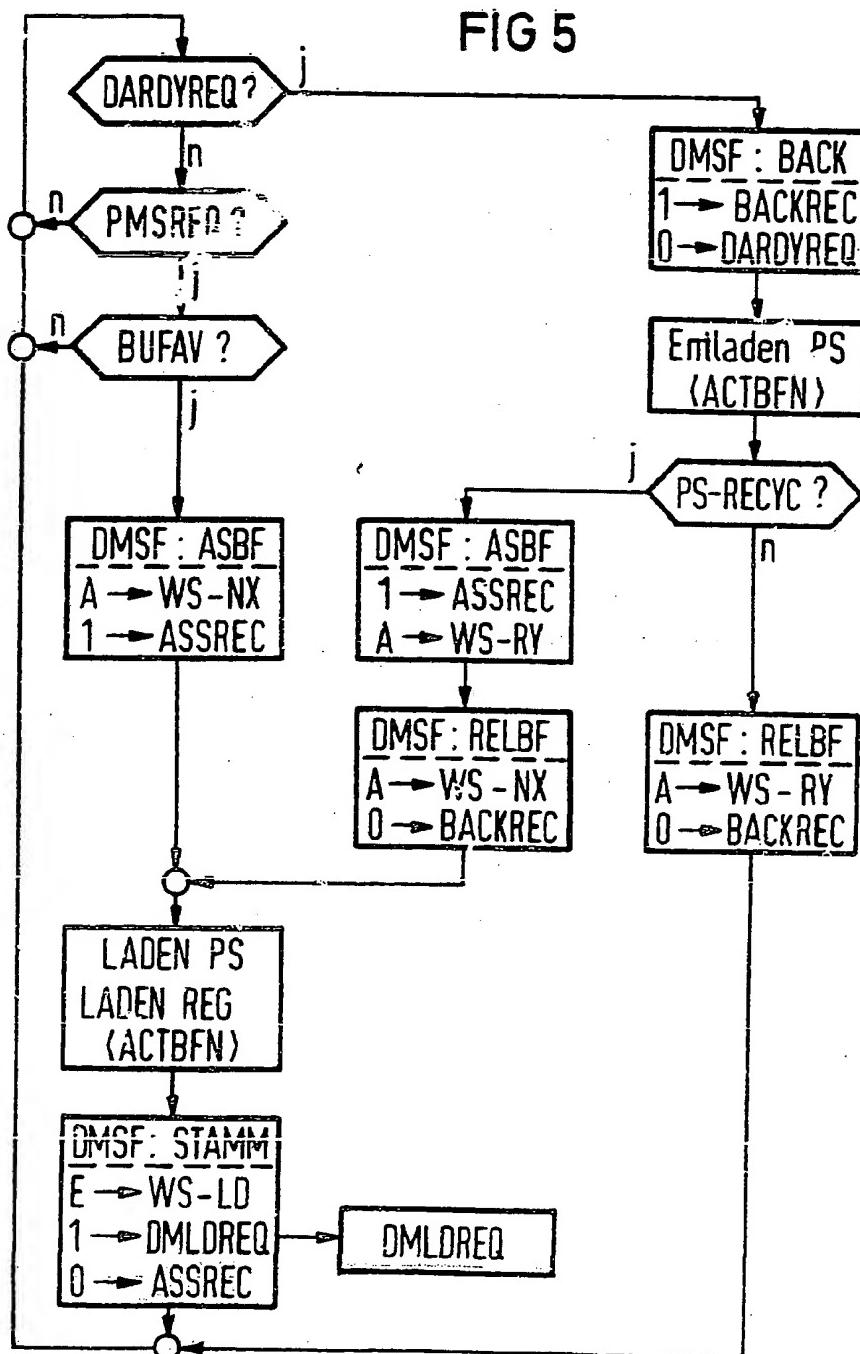
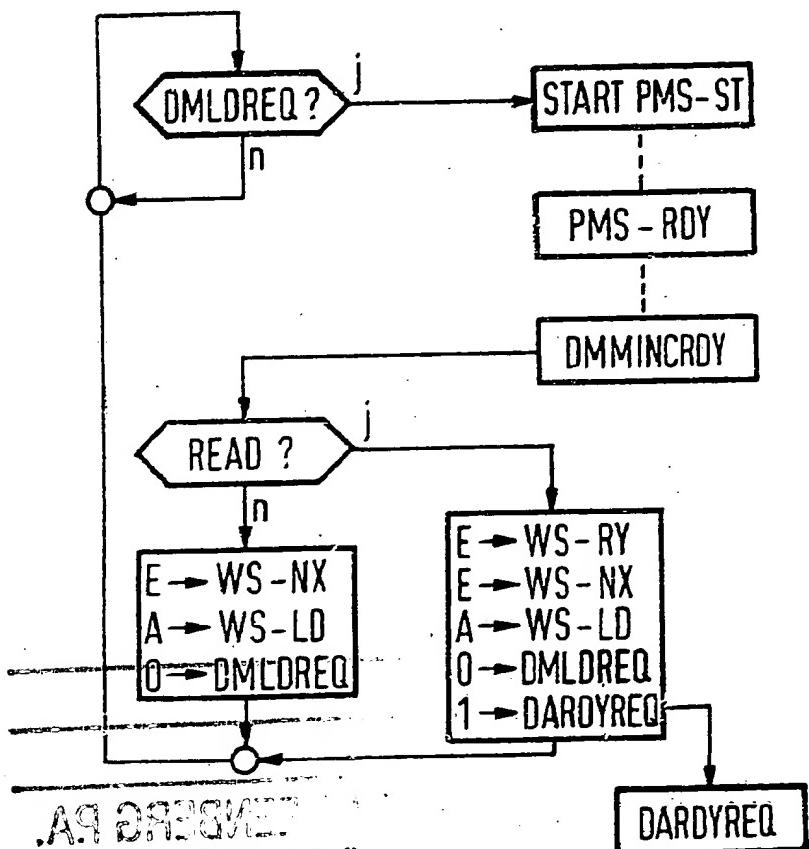


FIG 6



A9 082017
 0821 19
 22028 10110
 0011-01

THIS PAGE BLANK (USPTO)

DOCKET NO: GR 00P 1696

SERIAL NO: 09/829,330

APPLICANT: Becker et al.

LERNER AND GREENBERG P.A.

P.O. BOX 2480

HOLLYWOOD, FLORIDA 33022

TEL. (954) 925-1100